

Best Available Copy

SEMICONDUCTOR MEMORY CIRCUIT DEVICE

Patent Number: JP6028862
Publication date: 1994-02-04
Inventor(s): ARAI KOJI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: JP6028862
Application: JP19920201847 19920707
Priority Number(s):
IPC Classification: G11C11/41
EC Classification:
Equivalents: JP2871962B2

Abstract

PURPOSE: To reduce the load capacity of one of second bit lines, and to improve the performance of a memory circuit by dividing the memory cell circuit of each memory cell column into groups, and providing the plural second bit lines in each memory cell column.

CONSTITUTION: The writing of a memory cell block 7 is operated by a writing driver connected with an inversion data input and output line 5a, and data lines 5c and 5d. First of all, a pair of complementary input lines 5a and 5c, or 5a and 5d are turned to 'L' or 'H'. Next, one of word lines 2a-2d is turned to 'H' in order to select a line, and the access gate of a memory cell 1 is turned on. One of column selecting lines 6j-6m or 6n-6q is turned to 'H' in order to select the line, and a writing is operated. At the time of reading, when the column selecting lines 6j-6m are selected, whether or not the values of a pair of input and output lines 5a and 5c (second I/O) are 'H' or 'L' is judged, and the reading is operated. When the selecting lines 6n-6q are selected, whether or not a pair of input and output lines 5a and 5d are 'H' or 'L' is judged, and the reading is operated. Thus, the load capacity of a bit line 3 and the data input and output line 5 can be reduced, and the reading can be speedily attained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

1116年四月詩稿

特開平6-28862

(43) 公開日 24成6年(1994)2月4日

(51) Int.Cl.

識別記号 井内整理番号

F I

技術表示箇所

6711-5L

G 11 C 11/31

301 E

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号 特願平4-201847

(71) 出願人 00000C6013

(22) 出願日 平成4年(1992)7月7日

三井重機株式会社

東京都千代田区丸の内二丁目3番3号

(72) 発明者 新居 浩二

伊丹市端原4丁目1番地 三菱電機株式会
社カスタムエル・エス・アイ設計技術開発
センター内

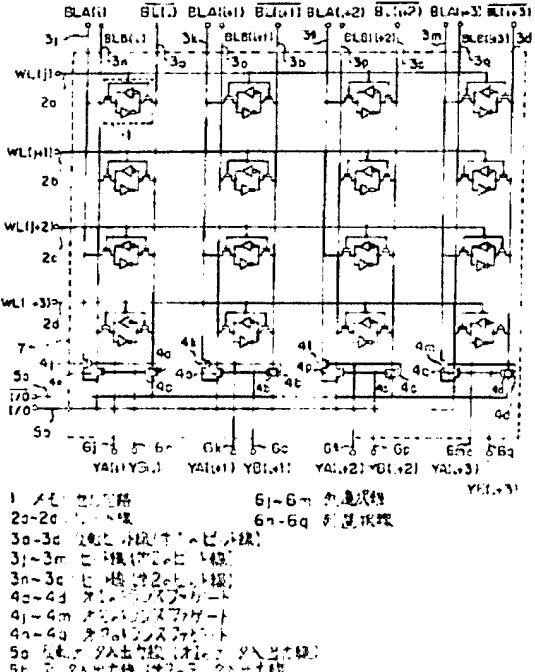
(74) 代理人 弁理士 田澤 博昭 (外2名)

(54) 【発明の名称】 半導体記憶回路装置

(57) 【要約】

【目的】 第2のビット線、もしくは第2のデータ入出力線1 本当たりの負荷容量を小さなものに抑えて、読み出し時間の短縮化、省電力化、信頼性の向上がはかれる半導体記憶回路装置を得る。

【構成】 各メモリセル列のメモリセル回路を群分けして各メモリセル列毎にその群対応に第2のビット線を用意し、各群毎にメモリセル回路の一方のアクセスゲートの接続端子をその第2のビット線で共通に接続し、また、メモリセル列を群分けして第2のデータ入出力線をメモリセル列の各群対応に用意し、それを第2のビット線毎に設けられた第2のトランジスタゲートを介して対応する群の第2のビット線と接続する。



【特許請求の範囲】

【請求項1】 データを記憶するフリップフロップ、およびこのフリップフロップの入出力端子に接続された一对のアクセスゲートより成るメモリセル回路をマトリクス状に配列して形成したメモリセルアレイと、前記メモリセルアレイのメモリセル行毎に、前記メモリセル回路のアクセスゲートの制御入力端子を共通に接続したワード線と、前記メモリセルアレイのメモリセル列毎に、前記メモリセル回路の一方のアクセスゲートの接続端子を共通に接続する第1のビット線と、前記メモリセル列毎に群分けされたメモリセル回路の各群対応に用意され、前記各群毎に前記メモリセル回路の他方のアクセスゲートの接続端子を共通に接続する第2のビット線と、前記第1のビット線対応の第1のトランスマゲートを介して、前記第1のビット線と接続される第1のデータ入出力線と、前記第2のビット線対応の第2のトランスマゲートを介して、前記第2のビット線と接続される第2のデータ入出力線と、前記第1のトランスマゲートの制御入力端子と第2のトランスマゲートの制御入力端子とに接続された列選択線とを備えた半導体記憶回路装置。

【請求項2】 データを記憶するフリップフロップ、およびこのフリップフロップの入出力端子に接続された一对のアクセスゲートから成るメモリセル回路をマトリクス状に配列して形成したメモリセルアレイと、前記メモリセルアレイのメモリセル行毎に、前記メモリセル回路のアクセスゲートの制御入力端子を共通に接続するワード線と、前記メモリセルアレイのメモリセル列毎に、前記メモリセル回路の一方のアクセスゲートの接続端子を共通に接続する第1のビット線と、前記メモリセル列毎に、前記メモリセル回路の他方のアクセスゲートの接続端子を共通に接続する第2のビット線と、前記第1のビット線対応の第1のトランスマゲートを介して、前記第1のビット線と接続される第1のデータ入出力線と、群分けされた前記メモリセル列の各群対応に用意され、前記第2のビット線対応の第2のトランスマゲートを介して、対応付けられた各群の第2のビット線と接続される第2のデータ入出力線と、前記第1のトランスマゲートの制御入力端子と第2のトランスマゲートの制御入力端子とに接続された列選択線とを備えた半導体記憶回路装置。

【請求項3】 データを記憶するフリップフロップ、およびこのフリップフロップの入出力端子に接続された一对のアクセスゲートから成るメモリセル回路をマトリクス状に配列して形成したメモリセルアレイと、前記メモリアレイのメモリセル行毎に、前記メモリセル回路のアクセスゲートの制御入力端子を共通に接続するワード線と、前記メモリセルアレイのメモリセル列毎に、前記メモリセル回路の一方のアクセスゲートの接続端子を共通する第1のビット線と、前記メモリセル列毎に群分けさ

10

れたメモリセル回路の各群対応に用意され、前記各群毎に前記メモリセル回路の他方のアクセスゲートの接続端子を共通に接続する第2のビット線と、前記第1のビット線対応の第1のトランスマゲートを介して、前記第1のビット線と接続される第1のデータ入出力線と、前記各群対応に用意され、前記第2のビット線対応の第2のトランスマゲートを介して、対応付けられた各群の第2のビット線と接続される第2のデータ入出力線と、前記第1のトランスマゲートの制御入力端子と第2のトランスマゲートの制御入力端子とに接続された列選択線とを備えた半導体記憶回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、読み出し時間の高速化を図った、スタティックなランダムアクセスメモリ（以下RAMという）用の半導体記憶回路装置に関するものである。

【0002】

【従来の技術】 図9は従来の半導体記憶回路装置によるメモリセルブロックを示す回路図であり、ここでは4行4列のメモリセルアレイを構成した場合について示している。図において、1はマトリクス状に配列されたメモリセル回路であり、2a～2dはメモリセル行を指定するために各メモリセル行について1本ずつ配線され、各メモリセル回路1の一対のアクセスゲートの制御入力端子を共通に接続しているワード線である。3a～3dは各メモリセル列について1本ずつ配線され、各メモリセル回路1の一方のアクセスゲートの接続端子を共通に接続している第1のビット線としての反転ビット線、3e～3hは各メモリセル列について1本ずつ配線され、各メモリセル回路1の他方のアクセスゲートの接続端子を共通に接続している第2のビット線としてのビット線であり、以下これをビット線対と総称することもある。

【0003】 4a～4dは各反転ビット線3a～3dにそれぞれ接続された、NチャンネルMOSトランジスタによる第1のトランスマゲートであり、4e～4hは各ビット線3e～3hにそれぞれ接続された、NチャンネルMOSトランジスタによる第2のトランスマゲートである。5aはこの第1のトランスマゲート4a～4dの接続端子（ドレイン端子）を共通に接続している第1のデータ入出力線としての反転データ入出力線、5bは第2のトランスマゲート4e～4hの接続端子（ドレイン端子）を共通に接続している第2のデータ入出力線としてのデータ入出力線であり、以下これをデータ入出力線対と総称することもある。6a～6dはメモリセル列を指定するために、同一メモリセル列における第1のトランスマゲート4a～4dと第2のトランスマゲート4e～4hの制御入力端子（ゲート端子）に接続された列選択線であり、7はこれらによって形成されるメモリセルブロックである。

50

۳

【0004】また、図10は前記メモリセル回路1の回路構成を示す回路図であり、図において、8 a、8 bは互いの入出力端子が接続されてフリップフロップを形成しているインバータである、9 a、9 bはインバータ8 a、8 bより成る前記フリップフロップ回路の一対の入出力端子にそのソース端子が接続されて、メモリセル回路1のアクセスゲートとなる一対のNチャンネルMOSトランジスタであり、この一対のアクセスゲートの制御入力端子となるNチャンネルMOSトランジスタ9 a、9 bのゲート端子は共通に接続されてメモリセル行を選択するためのワード線2 a～2 dに接続され、また、その接続端子となる各ドレイン端子はNチャンネルMOSトランジスタ9 aのそれが反転ビット線3 a～3 dに、9 bのそれがビット線3 e～3 hにそれぞれ接続されている。

【0005】次に動作について説明する。このように構成されたメモリセルブロック7のデータの書き込みは、データ入出力線対5a, 5bに接続された図示しない書き込みドライバ回路を用いて行う。まず、書き込むデータの値に応じてデータ入出力線対5a, 5bを「L」レベルまたは「H」レベルにドライブする。この場合、反転データ入出力線5aとデータ入出力線5bとは互いに相補的な関係となるようする。町ち、反転データ入出力線5aを「L」レベルにドライブするときは、データ入出力線5bを「H」レベルにドライブし、逆に反転データ入出力線5aを「H」にドライブするときは、データ入出力線5bを「L」にドライブする。

【0006】その後、ワード線2a～2dのうち1本、例えば2aを「H」レベルにしてメモリセル行を選択することによって、そのメモリセル行の各メモリセル回路1のアクセスゲートが導通状態となる。そして、列選択線6a～6dのうちの1本、例えば6aを「H」レベルにしてメモリセル列を選択することによって、そのメモリセル列のビット線対3a、3eをデータ入出力線対5a、5bに接続する第1および第2の各トランジスタゲート4a、4bが導通状態となる。従って、所望のメモリセル回路1とデータ入出力線対5a、5bが電気的に接続され、メモリセル回路1のデータの値は、メモリセル回路1で保持されていたデータの値とは関係なく、データ入出力線対5a、5bの値に等しくなる。以上の動作で書き込みが完了する。書き込み完了後、選択されたワード線2aを「L」レベルにすれば、メモリセル回路1のアクセスゲートが遮断され、書き込んだデータの値がメモリセル回路1で保持される。その後、ビット線対3a、3eの値が変化しても、ビット線対3a、3eとメモリセル回路1は電気的に非接続状態であるので、保持されているデータの値が変わることはない。

【0007】次にデータの読みだしについて説明する。データの読みだしは、書き込みと同様に、データ入出力編成5a, 5bを用いて行う。ワード数2a～2dのう

10 もの 1 本を、例えば 2 a を「H」レベルにしてメモリセル行を選択することによって、そのメモリセル行の各メモリセル回路 1 のアクセスゲートが導通状態となる。その後、列選択線 6 a ~ 6 d のうちの 1 本、例えば 5 a を「H」レベルにしてメモリセル列を選択すれば、その列のビット線対 3 a, 3 c とデータ入出力線対 5 a, 5 b を接続する各トランジスタゲート 4 a, 4 e が導通状態となり、所望のメモリセル回路 1 がデータ入出力線対 5 a, 5 b に電気的に接続される。これによって、ビット線対 3 a, 3 e の値と、データ入出力線対 5 a, 5 b の値は、選択されたメモリセル回路 1 で保持されていたデータの値に等しくなる。このデータ入出力線対 5 a, 5 b の値が「H」レベルであるか「L」レベルであるかを判定することによって、記憶されていたデータの読みだしをおこなう。以上の動作で読みだしが完了する。

【0008】図11は、以上説明したメモリセルブロックを用いて構成した従来のスタティックRAMの一例を示すブロック図である。図において、10aはXアドレスをデコードしてメモリセルブロック7のワード線2a～2dに供給する選択信号を生成するXデコーダ、10bは同じYアドレスをデコードして列選択線6a～6dに供給する選択信号を生成するYデコーダであり、11aはXデコーダ10aにXアドレスを入力するアドレス入力端子、11bはYデコーダ10bにYアドレスを入力するアドレス入力端子である。12はデータ入出力線対5a、5bに接続されて、メモリセルブロック7中の選択されたメモリセル回路1から読み出されたデータを判定する差動増幅型のセンスアンプであり、13aはそのセンスイネーブル信号入力端子、13bは同じくデータ出力端子である。また、14a、14bは図示を省略した書き込みドライバ回路からの書き込みデータをデータ入出力線対5a、5bに入力するためのデータ入力端子である。

【0009】図12は前記Xデコーダ10aおよびYデコーダ10bの回路構成を示す回路図である。図において、15A, 15Bは入力されたアドレス信号を反転する一対のインバータ、15a, 15bはインバータ15A, 15Bの出力をさらに反転するインバータであり、16a～16dはインバータ15A, 15Bと15a, 15bの各出力の論理演算を行う NANDゲート、17a～17dは各 NANDゲート16a～16dの出力を反転させるインバータである。また、図13は前記センスアンプ12の回路構成を示す回路図である。図において、18a, 18bはデータ入出力線対からの信号を受けるNチャンネルMOSトランジスタであり、19はセンスイネーブル/ディスエーブル信号が入力されるNチャンネルMOSトランジスタである。20a, 20bはNチャンネルMOSトランジスタ18a, 18bに接続され、差動型のセンスアンプを形成するPチャンネルMOSトランジスタであり、このPチャンネルMOSトランジスタは、図13の構成を示す。

ンジスタ 20 b と N チャンネル MOS トランジスタ 18 b の接続より出力信号が取り出される。

【0010】次に、上記スタティック RAM の動作について簡単に説明する。書き込み動作時は、まず、X デコーダ 10 a のアドレス入力端子 1: a と、Y デコーダ 10 b のアドレス入力端子 1: b にアドレス信号を与えて、ワード線、列選択線の各 1 本を「H」レベルにし、所望のメモリセル回路とデータ入出力線対を接続する。その後、書き込むデータの値に応じてデータ入力端子 14 a, 14 b に「1」レベルまたは「H」レベルの値を与える。このときデータ入力端子 14 a, 14 b は互いに相補な関係となるようになる。なお、センスアンプ 12 が動作しないようにそのセンスイネーブル信号入力端子 13 a にはディスエーブル信号を与えておく。以上の動作により、書き込み動作を完了する。

【0011】また、読みだし動作時は、書き込み動作時と同様に、まず X デコーダ 10 a のアドレス入力端子 1: a と、Y デコーダ 10 b のアドレス入力端子 1: b にアドレス信号を与え、ワード線、列選択線の各 1 本を「H」レベルにし、所望のメモリセル回路とデータ入出力線対を接続する。そして、センスアンプ 12 のセンスイネーブル信号入力端子 13 a には、センスアンプ 12 が動作するようにイネーブル信号を与える。その後、データ入出力線対の電位差を差動型のセンスアンプ 12 で検知して、データ出力端子 1: b の値を読みだした値に応じて「H」レベルまたは「L」レベルにドライブする。以上で読みだし動作を完了する。

【0012】

【発明が解決しようとする課題】従来の半導体記憶回路装置は以上のように構成されているので、1 列当たりのメモリセル回路 1 の数が多くなると、反転ビット線 3 a ~ 3 d およびビット線 3 e ~ 3 h の負荷容量となるアクセスゲート 9 a, 9 b のソース・ドレン寄生容量が増大してビット線容量が増大し、それらの時定数が大きくなつて読みだし時間が遅くなり、またビット線容量が大きくなると反転ビット線 3 a ~ 3 d およびビット線 3 e ~ 3 h の充放電電流が大きくなり、充放電電流による消費電力が増大するばかりか、充放電電流が増大することから反転ビット線 3 a ~ 3 d、ビット線 3 e ~ 3 h のエレクトロマイグレーションの危険性が高くなり、信頼性が低下するなどの問題点があり、さらにデータ入出力線対 5 a, 5 b についても、接続されるメモリセル列数が多くなると、上記したビット線対における場合と同様の問題が生じるという課題があった。

【0013】この発明は、上記のような問題点を解消するためになされたものであり、ビット線対、データ入出力線対の負荷容量の増大を防止して、読みだし時間の高速化が可能な半導体記憶回路装置を得ることを目的とする。

【0014】

【記憶を構成するための手段】請求項 1 に記載の発明に係る半導体記憶回路装置は、各メモリセル列のメモリセル回路を群分けし、各メモリセル列毎にその群対応に第 2 のビット線を用意して、この第 2 のビット線にて各群毎にメモリセル回路の一方のアクセスゲートの接続端子を共通に接続したものである。

【0015】また、請求項 2 に記載の発明に係る半導体記憶回路装置は、メモリセルアレイのメモリセル列を群分けし、第 2 のデータ入出力線をメモリセル列の各群対応に用意して、それを第 2 のビット線毎に設けられた第 2 のトランジスタゲートを介して、対応する群の第 2 のビット線と接続したものである。

【0016】また、請求項 3 に記載の発明に係る半導体記憶回路装置は、各メモリセル列のメモリセル回路を群分けし、各メモリセル列毎にその群対応に第 2 のビット線を用意して、この第 2 のビット線にて各群毎にメモリセル回路の一方のアクセスゲートの接続端子を共通に接続するとともに、第 2 のデータ入出力線を前記各群対応に用意して、それを第 2 のビット線毎に設けられた第 2 のトランジスタゲートを介して、対応する群の第 2 のビット線と接続したものである。

【0017】

【作用】請求項 1 に記載の発明における半導体記憶回路装置は、第 2 のビット線を各メモリセル列毎に複数本設けることにより、第 2 のビット線 1 本当たりの負荷容量を小さなものに抑え、それによる読み出し時間の遅延、消費電力の増大、信頼性の低下を防止する。

【0018】また、請求項 2 に記載の発明における半導体記憶回路装置は、第 2 のデータ入出力線を分割することにより、第 2 のデータ入出力線 1 本当たりの負荷容量を小さなものに抑え、それによる読み出し時間の遅延、消費電力の増大、信頼性の低下を防止する。

【0019】また、請求項 3 に記載の発明における半導体記憶回路装置は、第 2 のビット線を各メモリセル列毎に複数本設けるとともに、第 2 のデータ入出力線も複数本とすることにより、第 2 のビット線および第 2 のデータ入出力線の各 1 本当たりの負荷容量をそれぞれ小さなものに抑え、それによる読み出し時間の遅延、消費電力の増大、信頼性の低下を防止する。

【0020】

【実施例】

実施例 1. 以下、この発明の実施例 1 を図について説明する。図 1 は請求項 1 に記載の発明の一実施例を示す回路図である。図において、1 はメモリセル回路、2 a ~ 2 d はワード線、3 a ~ 3 d は第 1 のビット線としての反転ビット線、4 a ~ 4 d は第 1 のトランジスタゲート、5 a は第 1 のデータ入出力線としての反転データ入出力線、5 b は第 2 のデータ入出力線としてのデータ入出力線、7 はメモリセルブロックであり、図 9 に同一符号を付した従来のそれらと同一であることは相当部分であ

るため書き込みは行なわない。

【0021】また、3 j～3 mおよび3 n～3 qにはメモリセルアレイの各メモリセル列のメモリセル回路1をそれぞれ2つの群に分け、各メモリセル列毎に群分けされたメモリセル回路1の各群対応に1本ずつ用意された第2のビット線としてのビット場であり、メモリセル回路1の反転ビット線3 a～3 dが接続された側とは逆側のアクセスゲートの接続端子、即ちNチャンネルMOSトランジスタ9 bのドレン端子をそれぞれの群毎に共通に接続している。なお、以下それらの一方と反転ゲート線3 a～3 dとの対をビット線対と総称することもある。4 j～4 mはこの第2のビット線3 j～3 mをデータ入出力線5 bに接続する第2のトランジスタゲートであり、4 n～4 qは第2のビット線3 n～3 qをデータ入出力線5 bに接続する第2のトランジスタゲートである。6 j～6 mは第1のトランジスタゲート4 a～4 dと第2のトランジスタゲート4 j～4 mの制御入力端子とに接続された列選択線であり、6 n～6 qは第1のトランジスタゲート4 a～4 dと第2のトランジスタゲート4 n～4 qの制御入力端子とに接続された列選択線である。

【0022】次に動作について説明する。このように構成されたメモリセルブロック7のデータの書き込みは、従来の場合と同様に、まず、書き込むデータの値に応じてデータ入出力線対5 a、5 bを「L」レベルまたは「H」レベルにドライブする。その後、ワード線2 a～2 dのうちの1本を「H」レベルにしてメモリセル行を選択することによって、そのメモリセル行の各メモリセル回路1のアクセスゲートが導通状態となる。そして、列選択線6 j～6 mと6 n～6 qのうちの1本を「H」レベルにしてメモリセル列を選択することによって、そのメモリセル列のビット線対とデータ入出力線対を接続する各トランジスタゲートが導通状態となる。その際、ワード線2 aまたは、2 cを選択した場合は、列選択線6 j～6 mのうちの1本を選択し、ワード線2 bまたは、2 dを選択した場合は、列選択線6 n～6 qのうちの1本を選択することによって、所望のメモリセル回路1とデータ入出力線対5 a、5 bが電気的に接続される。メモリセル回路1のデータの値は、メモリセル回路1で保持されていたデータの値とは関係なくデータ入出力線対5 a、5 bの値に等しくなる。以上の動作で書き込みが完了する。

【0023】この書き込み完了した後、従来の場合と同様に選択されたワード線2 a～2 dを「L」レベルにすれば、メモリセル回路1のアクセスゲートが遮断され、書き込んだデータの値がメモリセル回路1で保持される。その後、ビット線対の値が変化しても、ビット線対とメモリセル回路1とは電気的に非接続状態であるので、保持されているデータの値が変わることはない。

【0024】次にデータの読みだしについて説明する。

データの読みだしも従来の場合と同様に、ワード線2 a～2 dのうちの1本を「H」レベルにしてメモリセル行を選択して、その行の各メモリセル回路1のアクセスゲートを導通状態とする。そして、選択されたワード線2 a～2 dに対応して列選択線6 j～6 mもしくは6 n～6 qのうちの1本を「H」レベルにしてメモリセル列を選択することによって、そのメモリセル列のビット線対とデータ入出力線対を接続するトランジスタゲートが導通状態となり、所望のメモリセル回路1がデータ入出力線対に電気的に接続される。従って、ビット線対の値とデータ入出力線対の値は、選択されたメモリセル回路1で保持されていたデータの値に等しくなる。このデータ入出力線対5 a、5 bの値が「H」レベルであるか「L」レベルであるかを判定することによって、記憶されていたデータの読みだしをおこなう。以上の動作で読みだしが完了する。

【0025】このような構成をとることによって、ビット線3 j～3 mおよび3 n～3 qに接続されるメモリセル回路1の個数は、反転ビット線3 a～3 dに接続されるメモリセル回路1の個数の半分となる。従って、ビット線3 j～3 mおよび3 n～3 qの負荷容量となるアクセスゲートのソースドレイン挿散容量は、反転ビット線3 a～3 dの半分となり、ビット線容量を軽減することができる。なお、反転ビット線3 a～3 dの負荷容量は従来の場合と同じである。従って、ビット線3 j～3 mおよび3 n～3 qは、反転ビット線3 a～3 dよりも速く変化する。これは、アクセスタイムの短縮に効果を發揮する。

【0026】図2は、上記実施例1のメモリセルブロックを用いて構成したスタティックRAMの一例を示したブロック図である。図において、10 cはアドレス端子11 bからのYアドレスと、アドレス端子11 aからのXアドレスの最下位ビットとをデコードして、列選択線6 j～6 mおよび6 n～6 qへの選択信号を生成するYデコーダで、図3に示すように、入力されたアドレス信号を反転するインバータ15 A～15 C、インバータ15 A～15 Cの出力をさらに反転するインバータ15 a～15 c、インバータ15 A～15 Cと15 a～15 cの各出力の論理演算を行う NANDゲート16 a～16 h、および各 NANDゲート16 a～16 hの出力を反転させるインバータ17 a～17 hにて形成されている。なお、他は図1に同一符号を付して示した従来のそれらの相当部分であるため説明は省略する。

【0027】次に、上記スタティックRAMの動作について簡単に説明する。書き込み動作時は、まず、Xデコーダ10 aのアドレス入力端子11 aと、Yデコーダ10 cのアドレス入力端子11 bにアドレス信号を与えて、ワード線、列選択線を「H」レベルにし、所望のメモリセル回路とデータ入出力線対を接続する。その後、書き込むデータの値に応じてデータ入力端子14 a、14 b

1 うちに「L」レベルまたは「H」レベルの値を、5c に格納な操作となるように与える。その時、センスアンプ 1 2 のセンシスイネーブル信号入力端子 1 3 a にはディスエーブル信号を与えて、それが動作しないようとする。また、読みだし動作時は、書き込み動作時と同様に、まず、X デコーダ 1 0 a のアドレス入力端子 1 1 a と、Y デコーダ 1 0 b のアドレス入力端子 1 1 b にアドレス信号を与えて、ワード線、列選択線を「H」レベルにし、所望のメモリセル回路とデータ入出力線対を接続する。そしてセンスアンプ 1 2 のセンシスイネーブル信号入力端子 1 3 a にイネーブル信号を与えてそれを動作させ、データ入出力線対の電位差を検知してデータ出力端子 1 3 b の値を読みだした値に応じて「H」レベルまたは「L」レベルにドライブする。

【0028】なお、この場合、X デコーダ 1 0 a の下位アドレスと Y デコーダ 1 0 c の最下位アドレスを共通に接続することにより、ワード線 2 a または 2 c が選択された場合は、列選択線 6 j ～ 6 m のいずれかが選択され、ワード線 2 b または 2 d が選択された場合は、列選択線 6 n ～ 6 q のいずれかが選択されるようにしている。

【0029】実施例 2. 次に、この発明の実施例 2 を図について説明する。図 4 は請求項 2 に記載した発明の実施例を示す回路図で、図 9 と同一部分には同一符号を付してその説明を省略する。図において、5 c, 5 d は、メモリセルアレイのメモリセル列を第 1 および第 2 の群に群分けし、当該メモリセル列の各群に対応に用意された第 2 のデータ入出力線としてのデータ入出力線であり、データ入出力線 5 c は第 1 の群に属する第 2 のビット線 3 e および 3 g に第 2 のトランスマッパー 4 e あるいは 4 g を介して、また、第 2 のデータ入出力線 5 d は第 2 の群に属する第 2 のビット線 3 f および 3 h に第 2 のトランスマッパー 4 f あるいは 4 h を介してそれぞれ接続される。なお、このデータ入出力線 5 c あるいは 5 d と反転データ入出力線 5 a との対を、以下データ入出力線対と総称することもある。

【0030】次に動作について説明する。このように構成されたメモリセルブロック 7 のデータの書き込みは、反転データ入出力線 5 a およびデータ入出力線 5 c, 5 d に接続された図示しない書き込みドライバ回路を用いて行う。まず、書き込みデータの値に応じてデータ入出力線対 5 a と 5 c、または 5 a と 5 d を「L」レベルまたは「H」レベルにドライブする。なお、その場合、データ入出力線対 5 a と 5 c、および 5 a と 5 d は、それお互いに格納な関係となるようとする。

【0031】その後、ワード線 2 a ～ 2 d のうちの 1 本を「H」レベルにしてメモリセル行を選択することによって、そのメモリセル行の各メモリセル 1 のアクセスゲートが導通状態となる。そして、列選択線 6 a ～ 6 d のうちの 1 本を「H」レベルにしてメモリセル列を選択す

ることによって、そのメモリセル列のビット線対とデータ入出力線対を接続する各トランスマッパーが導通状態となり、書き込みが行なわれる。なお、列選択線 6 a または 6 c が選択された場合は、データ入出力線 5 d はビット線 3 f, 3 h と非接続状態であるため書き込み値にドライブする必要はない。同様に、列選択線 6 b または 6 d が選択された場合は、データ入出力線 5 c を書き込み値にドライブする必要はない。

【0032】次にデータの読みだしについて説明する。列選択線 6 a または 6 c が選択された場合は、データ入出力線対 5 a と 5 c の値が「H」レベルであるか「L」レベルであるかを判定することによって読みだしをおこなう。一方、列選択線 6 b または 6 d が選択された場合は、データ入出力線対 5 a と 5 d の値が「H」レベルであるか「L」レベルであるかを判定することによって読みだしをおこなう。

【0033】このような構成をとることによって、データ入出力線 5 c および 5 d に接続されるトランスマッパーの個数は、反転データ入出力線 5 a に接続されるトランスマッパーの個数の半分となる。従って、データ入出力線 5 c と 5 d の負荷容量となるトランスマッパーのソースドレイン抵抗容量は、反転データ入出力線 5 a の半分となり、負荷容量を軽減することができる。なお、反転データ入出力線 5 a の負荷容量は従来の場合と同じである。従って、データ入出力線 5 c と 5 d は反転データ入出力線 5 a よりも速く変化して、アクセスタイムの短縮に効果を発揮する。

【0034】図 5 は、上記実施例 2 のメモリセルブロックを用いて構成したスタティック RAM の一例を示したブロック図である。図において、1 2 a, 1 2 b は図 1 1 に符号を付したものと同一に構成されたセンスアンプであり、この場合、データ入出力線対 5 a と 5 c の電位差を検知するセンスアンプ 1 2 a と、データ入出力線対 5 a と 5 d の電位差を検知するセンスアンプ 1 2 b とが用意されている。また、データ入力端子も反転データ入出力線 5 a に接続された 1 4 a と、データ入出力線 5 c, 5 d に接続された 1 4 c, 1 4 d の 3 つがある。2 1 はこれら 2 つのセンスアンプ 1 2 a, 1 2 b のいずれか一方の出力信号を、アドレス入力端子 1 1 b に入力される Y アドレスの最下位ビットに従ってデータ出力端子 1 3 b に切り換えて出力するマルチプレクサであり、図 6 に示すように、切り換えた信号を反転させる 2 つのインバータ 2 2 a, 2 2 b と、このインバータ 2 2 a, 2 2 b の出力に従って入力の一方を選択する、N チャンネル MOS トランジスタおよび P チャンネル MOS トランジスタによるトランジスタ対 2 3 a, 2 3 b によって形成されている。なお、他は図 1 1 に同一符号を付して示した従来のそれらの相当部分であるため説明は省略する。

【0035】次に、上記スタティック RAM の動作について簡単によく説明する。書き込み動作時は、まず、X デ

—ダ10 aのアドレス入力端子11 aと、Yデコーダ10 bのアドレス入力端子11 bにアドレス信号を与えて、ワード線、列選択線を「H」レベルにし、所望のメモリセル回路とデータ入出力線対を接続する。その後、書き込むデータの値に応じてデータ入力端子14 aと14 c、14 dに「L」レベルまたは「H」レベルの値をデータ入力端子14 aと14 cおよび14 d、14 dは互いに相補的な関係となるように与える。なお、その時、各センスアンプ12 aおよび12 bのセンシスイネーブル信号入力端子13 aには、ディスエーブル信号を与えて、それが動作することのないようとする。

【0036】また、読みだし動作時は、書き込み動作時と同様に、まずXデコーダ10 aのアドレス入力端子11 aと、Yデコーダ10 bのアドレス入力端子11 bにアドレス信号を与えて、ワード線、列選択線を「H」レベルにし、所望のメモリセル回路とデータ入力線対を接続する。また、センスアンプ12 a、12 bの各センシスイネーブル信号入力端子13 aには、センスアンプ12 aおよび12 bが動作するようにイネーブル信号を与える。ここで、列選択線6 aまたは6 cが選択された場合は、データ入出力線対5 a、5 cに接続されたセンスアンプ12 aでデータ入出力線対の変化を検知する。一方、列選択線6 bまたは6 dが選択された場合は、データ入出力線対5 a、5 dに接続されたセンスアンプ12 bでデータ入出力線対の変化を検知する。マルチブレクサ21は、選択された列選択線6 a～6 dに対応してどちらか一方のセンスアンプ12 a、12 bの出力とデータ出力端子13 bを接続し、読みだした値に応じて「H」レベルまたは「L」レベルにドライブする。

【0037】実施例3、次に、この発明の実施例3を図について説明する。図7は請求項3に記載した発明の一実施例を示す回路図であり、各部には図1あるいは図3における相当部分と同一符号を付してその説明を省略する。なお、この場合には、第2のビット線としてのビット線3 j～3 mは第2のトランスマジックゲート4 j～4 mを介して第2のデータ入出力線としてのデータ入出力線5 cに、第2のビット線としてのビット線3 n～3 qは第2のトランスマジックゲート4 n～4 qを介して第2のデータ入出力線としてのデータ入出力線5 dにそれぞれ接続される。

【0038】次に動作について説明する。このように構成されたメモリセルブロック7のデータの書き込みは、反転データ入出力線5 a、およびデータ線5 c、5 dに接続された表示しない書き込みドライバ回路を用いて行う。まず、書き込むデータの値に応じてデータ入出力線対5 aと5 c、または5 aと5 dを「L」レベルまたは「H」レベルにドライブする。データ入出力線5 aと5 c、および5 aと5 dは、それぞれ互いに相補的な関係となるようとする。その後、ワード線2 a～2 dのうちの1本を「H」レベルにしてメモリセル行を選択するこ

とによって、そのメモリセル行の各メモリセル1のアクセスゲートが導通状態となる。そして、列選択線6 j～6 mもしくは6 n～6 qのうちの1本を「H」レベルにしてメモリセル列を選択することによって、そのメモリセル列のビット線とデータ入出力線対を接続するトランスマジックゲートが導通状態となり、実施例1および2と同様にして書き込みが行われる。

【0039】次にデータの読みだしについて説明する。列選択線6 j～6 mが選択された場合には、データ入出力線対5 aと5 cの値が「H」レベルであるか「L」レベルであるかを判定することによって読みだしをおこなう。一方、列選択線6 n～6 qが選択された場合は、データ入出力線対5 aと5 dの値が「H」レベルであるか「L」レベルであるかを判定することによって読みだしをおこなう。

【0040】このような構成をとることによって、ビット線3 j～3 mと3 n～3 qおよびデータ入出力線5 c、5 dの負荷容量を軽減することができ、アクセスタイムの短縮に効果を発揮する。

【0041】図8は、上記実施例3のメモリセルブロックを用いて構成したスタティックを用いて構成したスタティックRAMの一例を示したブロック図であり、図5に示したものとは、Yデコーダ10 bをYデコーダ10 cで代替し、その最下位ビットにXアドレスの最下位ビットを入力している点でのみ異なっている。なお、当該スタティックRAMの動作についても、図5および図2に示したものと同様であるため、その説明は省略する。

【0042】以上、3つの実施例について詳細に説明してきたが、これらはあくまでも1つの例示であって、この発明の精神を逸脱しない範囲において、種々の変更もしくは改良を行ひ得ることはいうまでもない。

【0043】

【発明の効果】以上のように、請求項1に記載の発明によれば、各メモリセル列のメモリセル回路を群分けし、第2のビット線を各メモリセル列毎に複数本設けるよう構成したので、第2のビット線1本当たりの負荷容量を小さなものに抑えることができ、読み出し時間の短縮が可能となり、当該負荷容量の充放電電流が小さくなつて省電力化も期待でき、配線部分のエレクトロマイグレーションの危険性も小さくなつて信頼性も向上し、さらに、互いに相補的な関係にあるビット線の一方のみを複数に分割しているため、集積化の際の配線領域の増大は、その双方を分割した場合に比べて小さく、集積回路の小型化にも有効である。

【0044】また、請求項2に記載の発明によれば、メモリセル列を群分けして第2のデータ入出力線を複数本設けるよう構成したので、第2のデータ入出力線1本当たりの負荷容量を小さなものに抑えることができ、読み出し時間の短縮化、省電力化、信頼性の向上がはかれて、データ入出力線の一方のみの分割であるため、集積

回路の小形化にも有効である。

【図4】また、請求項3に記載の発明によれば、第2のビット線を各メモリセル毎に一枚板並びに、第2のデータ入出力線も一枚板並びにように構成したので、読み出し時間の短縮化、省電力化、信頼性の向上がはかれた、集積回路の小形化にも有効な半導体記憶回路装置が得られる。

【発明の簡単な説明】

【図1】この発明の実施例1を示す回路図である。

【図2】上記実施例におけるメモリセルブロックで構成したスタティックRAMの一例を示すブロック図である。

【図3】上記スタティックRAMで用いられるYデコーダの回路構成を示す回路図である。

【図4】この発明の実施例2を示す回路図である。

【図5】上記実施例によるメモリセルブロックで構成したスタティックRAMの一例を示すブロック図である。

【図6】上記スタティックRAMで用いられるマルチブレクサの回路構成を示す回路図である。

【図7】この発明の実施例3を示す回路図である。

【図8】上記実施例によるメモリセルブロックで構成したスタティックRAMの一例を示すブロック図である。

【図9】従来の半導体記憶回路装置によるメモリブロックを示す回路図である。

【図10】上記メモリセルブロックで用いられるメモリ

セル回路の回路構成を示す回路図である。

【図11】上記メモリセルブロックで構成したスタティックRAMの一例を示すブロック図である。

【図12】上記スタティックRAMで用いられるXデコーダおよびYデコーダの回路構成を示す回路図である。

【図13】上記スタティックRAMで用いられるセンスアンプの回路構成を示す回路図である。

【符号の説明】

1 メモリセル回路

2 a~2 d ワード線

3 a~3 d 反転ビット線 (第1のビット線)

3 e~3 h ビット線 (第2のビット線)

3 i~3 m ビット線 (第2のビット線)

3 n~3 q ビット線 (第2のビット線)

4 a~4 d 第1のトランスマジックゲート

4 e~4 h 第2のトランスマジックゲート

4 j~4 m 第2のトランスマジックゲート

4 n~4 q 第2のトランスマジックゲート

5 a 反転データ入出力線 (第1のデータ入出力線)

5 b データ入出力線 (第2のデータ入出力線)

5 c, 5 d データ入出力線 (第2のデータ入出力線)

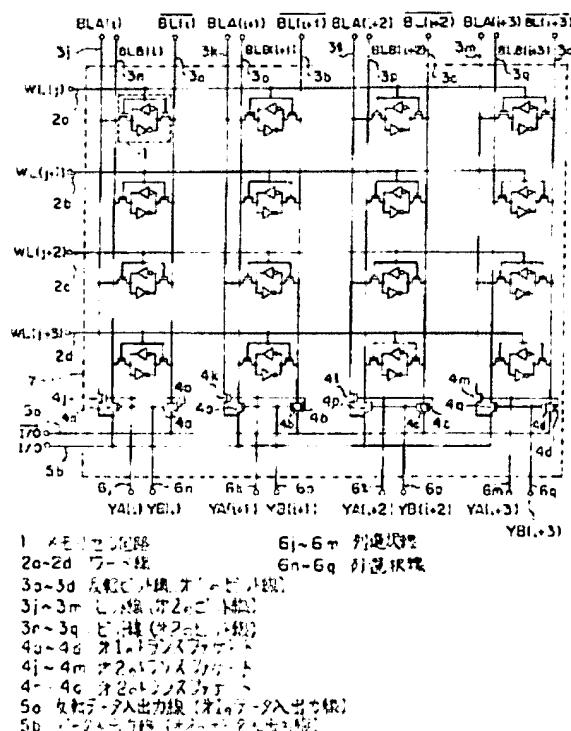
6 a~6 d 列選択線

6 j~6 m 列選択線

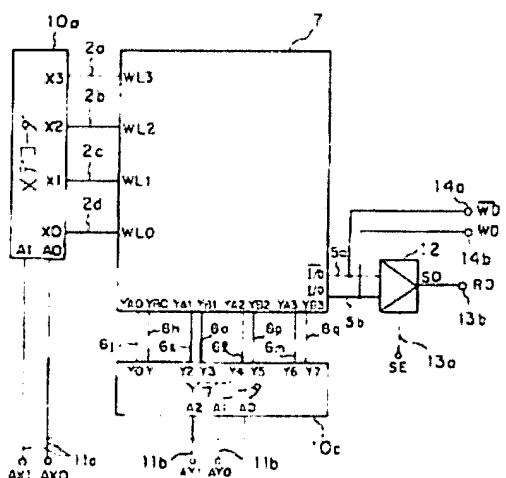
6 n~6 q 列選択線

9 a, 9 b アクセスゲート

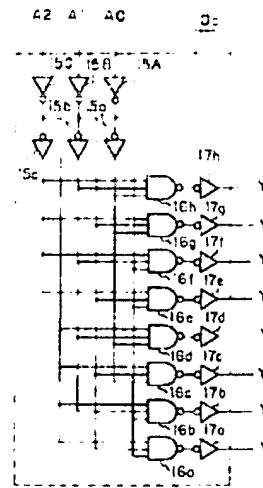
【図1】



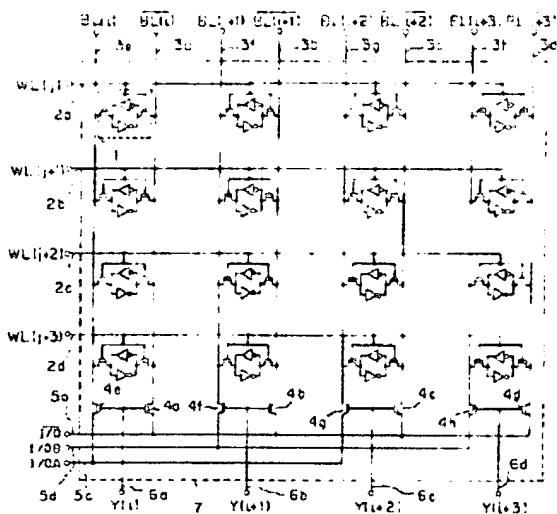
【図2】



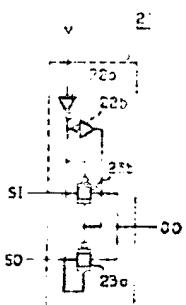
[1439]



卷之三

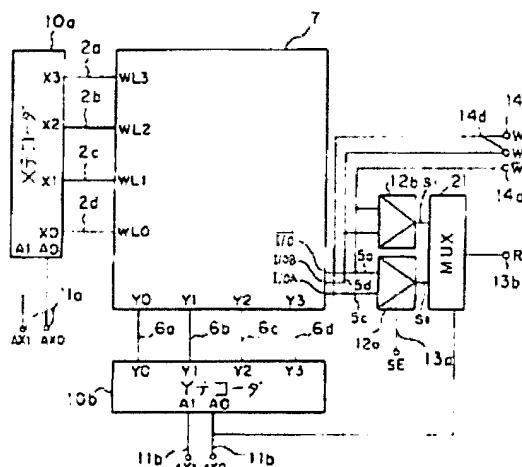


二二八



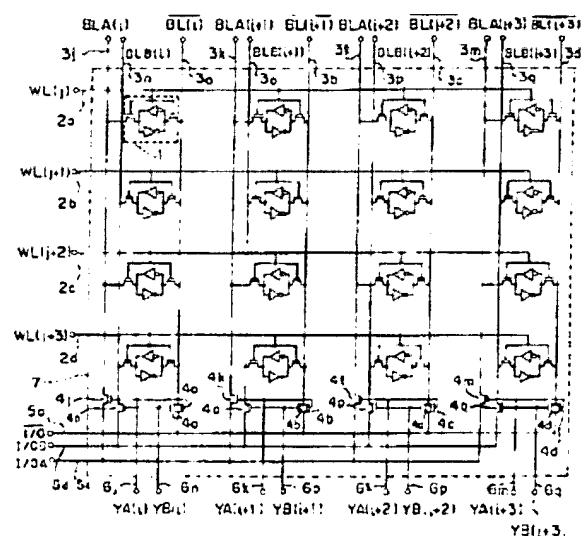
3e~3h: テート線(オ2ノビット線)
4e~4h: オ2ノトランシージャケット
5c,5d: テータ入出力線(オ2ノデータ入出力線)
6a~6d: フロント端子

【图5】

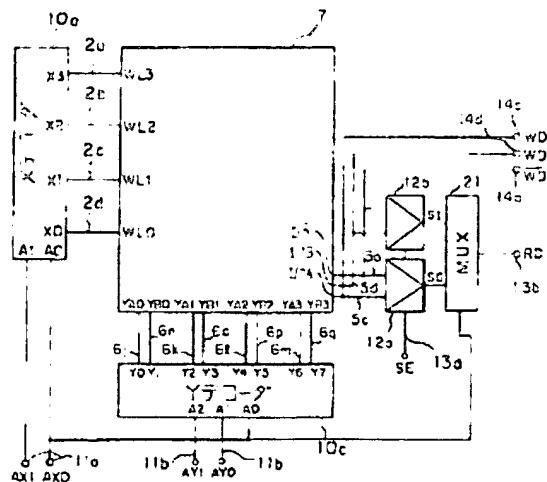


[图13]

[图7]

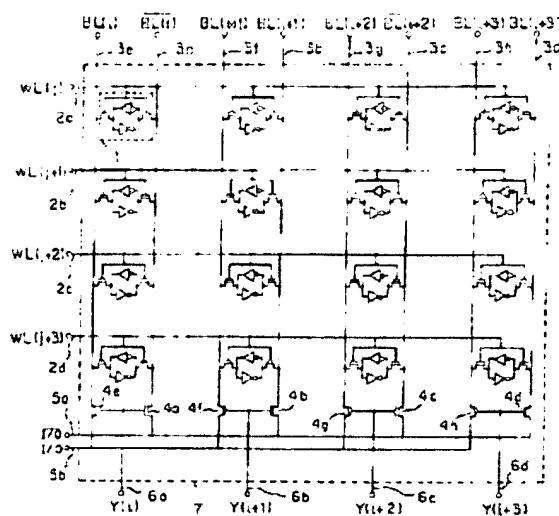


[43]

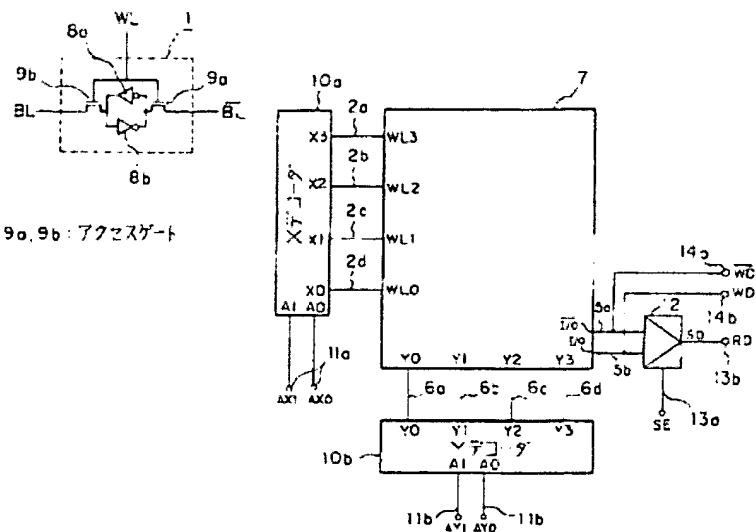


[图10]

〔图11〕



【图12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.